

# 3  
5-21-02  
Mallish

Docket No. 520.41287X00

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): OSABE, et al  
Serial No.: 10/082,205  
Filed: February 26, 2002  
Title: SEMICONDUCTOR MEMORY ELEMENT, SEMICONDUCTOR  
DEVICE AND CONTROL METHOD THEREOF

LETTER CLAIMING RIGHT OF PRIORITY

Honorable Commissioner of  
Patents and Trademarks  
Washington, D.C. 20231

March 25, 2002

Sir:

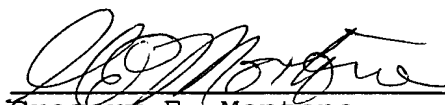
Under the provisions of 35 USC 119 and 37 CFR 1.55, the  
applicant(s) hereby claim(s) the right of priority based on:

Japanese Patent Application No. 2001-253887  
Filed: August 24, 2001

A certified copy of said Japanese Patent Application is  
attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP



\_\_\_\_\_  
Gregory E. Montone  
Registration No. 28,141

GEM/gfa  
Attachment

NT 0642

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日  
Date of Application:

2001年 8月24日

出 願 番 号  
Application Number:

特願2001-253887

[ ST.10/C ]:

[ JP2001-253887 ]

出 願 人  
Applicant(s):

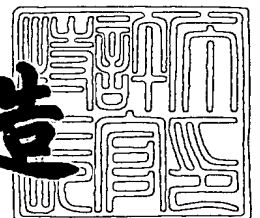
株式会社日立製作所



2002年 2月26日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

及 川 耕 造



出証番号 出証特2002-3011021

【書類名】 特許願

【整理番号】 NT01P0614

【提出日】 平成13年 8月24日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/115

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

【氏名】 長部 太郎

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

【氏名】 石井 智之

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100068504

【弁理士】

【氏名又は名称】 小川 勝男

【電話番号】 03-3661-0071

【選任した代理人】

【識別番号】 100086656

【弁理士】

【氏名又は名称】 田中 恭助

【電話番号】 03-3661-0071

【選任した代理人】

【識別番号】 100094352

【弁理士】

【氏名又は名称】 佐々木 孝

【電話番号】 03-3661-0071

【手数料の表示】

【予納台帳番号】 081423

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶素子、半導体装置及びその制御方法

【特許請求の範囲】

【請求項 1】

ソース領域、ドレイン領域を有し、  
上記ソース領域とドレイン領域は半導体からなるチャネル領域で接続され、  
上記チャネル領域の電位を制御する金属または半導体からなるゲート電極を有し、  
上記チャネル領域近傍に複数の電荷蓄積領域を有し、  
情報の書き込み時に上記ゲート電極に印加される電位と、  
情報の消去時に上記ゲート電極に印加される電位が同じ極性を持つことを特徴とする半導体記憶素子。

【請求項 2】

半導体からなるチャネル領域を有し、  
上記チャネル領域近傍に複数の電荷蓄積領域を有し、  
上記チャネル領域の一部である第 1 のチャネル領域の電位を制御する金属または半導体からなる第 1 のゲート電極を有し、  
上記チャネル領域の一部であり、第 1 のチャネル領域とは異なる第 2 のチャネル領域の電位を制御する金属または半導体からなる第 2 のゲート電極を有し、  
情報の書き込み時に上記第 1 のゲート電極に印加される電位と、  
情報の消去時に上記第 1 のゲート電極に印加される電位が同じ極性を持つことを特徴とする半導体記憶素子。

【請求項 3】

半導体からなるチャネル領域を有し、  
上記チャネル領域近傍に複数の電荷蓄積領域を有し、  
上記チャネル領域の一部である第 1 のチャネル領域の電位を制御する金属または半導体からなる第 1 のゲート電極を有し、  
上記チャネル領域の一部であり、第 1 のチャネル領域とは異なる第 2 のチャネル領域の電位を制御する金属または半導体からなる第 2 のゲート電極を有し、

情報の書き込み時に上記第 1 のゲート電極に印加される電位と、

情報の消去時に上記第 2 のゲート電極に印加される電位が同じ極性を持つことを特徴とする半導体記憶素子。

【請求項 4】

ソース領域、ドレイン領域を有し、

上記ソース領域とドレイン領域は半導体からなるチャンネル領域で接続され、

上記チャンネル領域近傍に複数の電荷蓄積領域を有し、

上記チャンネル領域の一部である第 1 のチャンネル領域の電位を制御する金属または半導体からなる第 1 のゲート電極を有し、

上記チャンネル領域の一部であり、第 1 のチャンネル領域とは異なる第 2 のチャンネル領域の電位を制御する金属または半導体からなる第 2 のゲート電極を有し、

情報の書き込み時に上記第 1 のゲート電極に印加される電位と、

情報の消去時に上記第 1 のゲート電極に印加される電位が同じ極性を持つことを特徴とする半導体記憶素子。

【請求項 5】

ソース領域、ドレイン領域を有し、

上記ソース領域とドレイン領域は半導体からなるチャンネル領域で接続され、

上記チャンネル領域近傍に複数の電荷蓄積領域を有し、

上記チャンネル領域の一部である第 1 のチャンネル領域の電位を制御する金属または半導体からなる第 1 のゲート電極を有し、

上記チャンネル領域の一部であり、第 1 のチャンネル領域とは異なる第 2 のチャンネル領域の電位を制御する金属または半導体からなる第 2 のゲート電極を有し、

情報の書き込み時に上記第 1 のゲート電極に印加される電位と、

情報の消去時に上記第 2 のゲート電極に印加される電位が同じ極性を持つことを特徴とする半導体記憶素子。

【請求項 6】

ソース領域、ドレイン領域を有し、

上記ソース領域とドレイン領域は半導体からなるチャンネル領域で接続され、

上記チャンネル領域近傍に複数の電荷蓄積領域を有し、

上記チャネル領域の一部である第 1 のチャネル領域の電位を制御する金属または半導体からなる第 1 のゲート電極を有し、

上記チャネル領域の一部であり、第 1 のチャネル領域とは異なる第 2 のチャネル領域の電位を制御する金属または半導体からなる第 2 のゲート電極を有する半導体記憶素子を複数個並べ、

データ線と第 1 ワード線と第 2 ワード線で駆動されるメモリセルアレイにおいて

複数の半導体記憶素子のドレイン領域が同一データ線に接続され、

上記ドレイン領域が同一データ線に接続された複数の半導体記憶素子の第 2 のゲート電極が互いに異なる第 2 ワード線に接続され、

上記ドレイン領域が同一データ線に接続された複数の半導体記憶素子の第 1 のゲート電極が互いに異なる第 1 ワード線に接続されされることを特徴とする半導体記憶装置。

【請求項 7】

請求項 1 に記載の半導体記憶素子を複数個並べたデータ線とワード線で駆動されるメモリセルアレイにおいて、

複数の半導体記憶素子のドレイン領域が同一データ線に接続され、

上記ドレイン領域が同一データ線に接続された複数の半導体記憶素子のゲート電極が互いに異なるワード線に接続されることを特徴とする半導体記憶装置。

【請求項 8】

請求項 1 から請求項 3 までのいずれかに記載の半導体記憶素子を複数個並べ、

第 1 の半導体記憶素子と第 2 の半導体記憶素子のチャネル電流が直列に流れるように接続されることを特徴とする半導体記憶装置。

【請求項 9】

請求項 4 あるいは請求項 5 のいずれかに記載の半導体記憶素子を複数個並べたデータ線と第 1 ワード線で駆動されるメモリセルアレイにおいて、

複数の半導体記憶素子のドレイン領域が同一データ線に接続され、

上記ドレイン領域が同一データ線に接続された複数の半導体記憶素子の第 2 のゲート電極が互いに接続され、

上記ドレイン領域が同一データ線に接続された複数の半導体記憶素子の第1のゲート電極が互いに異なる第1ワード線に接続されることを特徴とする半導体記憶装置。

【請求項10】

請求項4あるいは請求項5のいずれかに記載の半導体記憶素子を複数個並べたデータ線と第1ワード線で駆動されるメモリセルアレイにおいて、

複数の半導体記憶素子のドレイン領域が同一データ線に接続され、

上記ドレイン領域が同一データ線に接続された複数の半導体記憶素子の第2のゲート電極が互いに異なる第2ワード線に接続され、

上記ドレイン領域が同一データ線に接続された複数の半導体記憶素子の第1のゲート電極が互いに異なる第1ワード線に接続されることを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体記憶素子及び半導体装置に関する。

【0002】

【従来の技術】

近年、プログラム格納用、あるいはデータ格納用として、半導体不揮発メモリであるフラッシュメモリが、多くの機器に導入されるようになってきている。このフラッシュメモリの課題として価格の問題がある。他のメディア、例えばハードディスクや光磁気ディスク、DVD等と比較して容量あたりの価格が数倍以上高くなっており、低コスト化が求められている。低コスト化を図るためには、チップ面積を減少させることがもっとも有効である。これに対し、従来は、メモリセルの面積を小さくするというアプローチがとられてきた。これは、微細化により物理的にメモリセルサイズ縮小ことで実現されてきた。この微細化によるメモリセルサイズ縮小の例として、IEEE International Solid-State Circuit Conference 1996, p32-33, 1996年をあげる。あるいは、メモリセル当りに記憶する情報を2ビットとして、1ビットあたりのメモリセル面積を実効的に減少させる、



いわゆる多値記憶技術の実用化などもなされてきた。多値記憶の従来技術例としてT. Jung et al., IEEE International Solid-State Circuit Conference 1996, p32-33, 1996年を挙げる。

## 【 0 0 0 3 】

## 【発明が解決しようとする課題】

信頼性確保のため、フラッシュメモリでは、膜厚方向にスケーリングを行うことができない。したがって、使用電圧の低電圧化がおこなえない。また同様に信頼性確保のため、電荷のリークが起こりにくいシリコン基板を直接熱酸化して作成する酸化膜を通して電子の移動を行わねばならず、正負の大電圧の使用が避けられない。このため、周辺回路、特に電源部分の面積が増大し、結果として、メモリセルの面積の占有率が低下し、微細化してもチップ面積が縮小できないという問題が残る。メモリセル面積の占有率低下によるコスト上昇は、比較的容量の小さい、機器組み込み用途向けのフラッシュ混載ロジック回路などでは大きな問題となる。

## 【 0 0 0 4 】

本発明の目的とするところは、信頼性を確保しつつ、必要とする電圧の種類が少なく、かつその電圧が低い記憶素子構造を提供することである。この記憶素子をもちいることで、半導体記憶装置の周辺回路の構成を単純化し、チップ面積を縮小することが可能となる。すなわち、低コストな半導体記憶装置を実現する方法を提供することが可能となる。

## 【 0 0 0 5 】

## 【課題を解決するための手段】

本発明は、従来のようにメモリセル中の単一の領域に電荷を蓄えるのではなく、複数に分散した領域に電荷を蓄えることで、高い信頼性を実現させる。この高信頼性を背景に、信頼性の高い、シリコン基板を直接熱酸化膜して得られる酸化膜だけではなく、CVD (Chemical Vapor Deposition) で堆積した酸化膜などを通して電子の移動を行うことで、動作方式を単純化し、半導体記憶装置の低コスト化を実現することを特徴とする。

## 【 0 0 0 6 】

詳しく述べると、本発明の代表的な実施形態による半導体装置は、  
 ソース領域、ドレイン領域を有し、  
 上記ソース領域とドレイン領域は半導体からなるチャネル領域で接続され、  
 上記チャネル領域の電位を制御する金属または半導体からなるゲート電極を有し、  
 上記チャネル領域近傍に複数の電荷蓄積領域を有し、  
 情報の書き込み時に上記ゲート電極に印加される電位と、  
 情報の消去時に上記ゲート電極に印加される電位が同じ極性を持つことを特徴とする半導体記憶素子、を主体に構成される。

## 【 0 0 0 7 】

本発明の他の手段、目的と特徴は、以下の実施の形態から明らかになるう。

## 【 0 0 0 8 】

## 【発明の実施の形態】

## (実施例 1)

以下には、本発明の具体的な実施例による半導体素子及び半導体装置を説明する。

## 【 0 0 0 9 】

図 1 には、本実施例による記憶素子の断面構造を示す。

## 【 0 0 1 0 】

P 型シリコン基板 (A 1) に、n 型のウェル領域 (A 2) が設けられており、さらにその中に p 型のウェル領域 (A 3) が設けられる 3 重ウェル構造を持つ。p 型ウェル (A 3) 内に n 型のソース領域 (A 4)、ドレイン領域 (A 5) があり、チャネル (A 6) 上に  $\text{SiO}_2$  からなる厚さ 6 nm の絶縁膜 (A 7) を介して電荷蓄積領域となるシリコンの平均径 10 nm の微少結晶粒 (A 8) が複数ならべられている。チャネルと電荷蓄積領域の電位を制御する n 型多結晶シリコンのゲート電極 (A 9) が設けられており、シリコン微少結晶粒 (A 8) とゲート電極 (A 9) の間は下から順に厚さ 3 nm の  $\text{SiO}_2$ 、厚さ 6 nm の  $\text{Si}_3\text{N}_4$ 、厚さ 3 nm の  $\text{SiO}_2$  のいわゆる ONO 構造の絶縁膜 (A 10) からなる。シリコン微小結晶粒 (A 8) とゲート電極 (A 9) の間は、ONO 構造ではなく、9

nmの $\text{SiO}_2$ からなる絶縁膜にすることも可能である。

#### 【0011】

図1に対応した回路図における表現を図2に示す。ゲート電極(A9)、ソース(A4)、ドレイン(A5)、電荷記憶領域(A8)に各々対応する番号をつけている。尚、図1では3重ウェル構造を明示したが他の実施例では図の煩雑さを避けるため省略する。

#### 【0012】

次に本実施例の製造工程を説明する。素子分離領域、3重ウェル構造(A1)、(A2)、(A3)形成後、Pウェル(A3)上のメモリセル形成領域にしきい電圧調整のためのB(ボロン)イオン打ち込みを行う。基板表面を酸化して厚さ6nmの $\text{SiO}_2$ 膜(A7)を形成後、CVD(Chemical Vapor Deposition)によってシリコン微小結晶粒を形成する。試作においては平均径10nm、 $5 \times 10^{11}$ 個 $\text{cm}^{-2}$ の密度で形成した。シリコン微小結晶粒(A8)の上に、下から順に厚さ3nmの $\text{SiO}_2$ 、厚さ6nmの $\text{Si}_3\text{N}_4$ 、厚さ3nmの $\text{SiO}_2$ のONO構造層間絶縁膜(A10)を形成後、ゲート電極(A9)形成のためのn型多結晶シリコンを堆積し、さらに $\text{SiO}_2$ 膜を堆積する。レジストをマスクに $\text{SiO}_2$ 膜、多結晶シリコン膜、ONO膜、シリコン微小結晶粒、 $\text{SiO}_2$ 膜を順次エッチングする。この工程でゲート電極(A9)が形成される。ゲート電極(A9)をマスクに、As(ヒ素)イオンを打ち込み、活性化アニールをすることでソース領域(A4)、ドレイン(A5)領域が形成される。さらに層間膜堆積、平坦化を行った後、コンタクト工程、配線工程を行う。

#### 【0013】

次に本実施例の動作を説明する。

#### 【0014】

まず書き込み動作を説明する。ここでは電荷蓄積領域(A8)に電荷が多く注入された状態を情報“1”に対応させ、注入電荷のより少ない状態を情報“0”に対応させることとする。

#### 【0015】

情報“1”の書き込みは、ソース領域(A4)に0V、ドレイン領域(A5)

に正の電位（例えば、5 Vとする）、ゲート電極（A 9）に正の電圧パルス（例えば、5 Vとする）を与えることで、チャネルホットエレクトロンを発生させ、電荷蓄積領域（A 8）に電子を注入することで行う。ソース領域（A 4）およびドレイン領域（A 5）に0 Vを印加し、ゲート電極（A 9）に正の電位（例えば18 V）を与えることで、絶縁膜（A 7）中をトンネルさせて電子を電荷蓄積領域に注入することも可能である。この場合は、ホットエレクトロンを利用した電荷の注入よりも大電圧が要求されるため、周辺回路の構成が複雑になってしまうという難点がある。

## 【0016】

情報“0”の書き込みは、電荷蓄積領域（A 8）からゲート電極（A 9）へ電子を引き抜くことで行う。具体的には、ソース領域（A 4）およびドレイン領域（A 5）に0 Vを印加し、ゲート電極（A 9）に正の電圧パルス（例えば10 V）を印加することで、電荷蓄積領域から、絶縁膜（A 10）中をトンネルさせてゲート電極（A 9）へ電子を引き抜くことで行う。情報“0”の書き込みは、通常のフラッシュメモリと同様に、ゲート電極に負の電圧パルス（例えば、-10 V）を印加し、電荷蓄積領域から、絶縁膜（A 7）をトンネルさせて電子を基板に引き抜くことでも可能である。しかし、この場合、負の電圧パルスを利用しなければならないため、周辺回路が複雑になるというデメリットがある。なお、本実施例では、情報“0”の書き込みと情報の消去とは実質的に同じである。

## 【0017】

多数回の情報の書き換えは、多数回の電圧ストレスを印加することである。この電圧ストレスの累積によって、 $\text{SiO}_2$ からなる絶縁膜に劣化がおり、低電界でも電子がリークしやすくなる。この劣化の度合いは、基板を酸化して作られる $\text{SiO}_2$ よりも、CVDで形成される $\text{SiO}_2$ の方が激しい。したがって、通常のフラッシュメモリでは、安定して電荷を蓄積するため、情報の書き換えには基板を酸化して作られる $\text{SiO}_2$ からなる絶縁膜にしか電圧ストレスを印加することができない。すなわち、信頼性を確保するためには、電子の移動は、基板と電荷蓄積領域の間に限定しなければならない。

## 【0018】

これに対して本実施例では、電荷蓄積領域が複数のシリコン微小結晶粒から成る。電圧ストレスによって絶縁膜が劣化し、低電界でリークが生じるようになった後でも、リークするのは、このリークパス上に存在するシリコン微小結晶粒にたくわえられている電荷のみである。その他の大部分のシリコン微小結晶粒では、安定して電荷を保持しつづけることが可能であるため、素子全体として良好な電荷保持特性を持つことになる。したがって、電圧ストレスに弱いCVDで形成された $\text{SiO}_2$ に電圧ストレスをかけても、本実施例では、通常フラッシュメモリと同程度の電荷保持特性を確保することができる。すなわち、基板と電荷蓄積領域の間だけではなく、電荷蓄積領域からゲート電極の間でも電子の移動は可能である。

## 【0019】

次に読出し動作を説明する。例えばドレイン領域に2V、ソース領域に0Vを印加し、ゲート電極(A9)に2Vの読出しパルスを加える。電荷蓄積領域(A8)に注入された電荷量の大小に従ってしきい電圧が異なるため、情報“0”が書き込まれた場合のドレイン電流が、情報“1”が書き込まれた場合のドレイン電流よりも大きいことから、情報“0”と情報“1”を読み分けることが可能である。読出しは、ドレイン領域に0V、ソース領域に2V、ゲート電極に2Vというように、ドレイン領域、ソース領域の電圧関係を入れ替えて行っても良い。

## 【0020】

本実施例で、情報“1”、情報“0”の書き込み、および読み出しに使用される電圧関係を表1にまとめる。

## 【0021】

【表 1】

表1

	ソース 電圧	ドレイン 電圧	ゲート 電圧
“1”書き込み	0V	5V	5V
“0”書き込み (情報消去)	0V	0V	10V
読み出し	0V	2V	2V

通常のフラッシュメモリでは、情報“0”の書き込みは、ゲート電極に負の電位を与えることで、絶縁膜（A 7）中をトンネルさせて電子を基板に引き抜くことが行われる。電子を基板に引き抜くために、ゲートに与えられる電位が大きく、また情報“1”の書き込みに使われる電位と極性が反対なため、電源発生回路が複雑になり、チップサイズの増大ひいてはコストの増大を招く。

## 【0022】

本実施例では、情報“1”、情報“0”いずれの書き込みおよび読み出しでも、同じ極性の同程度大きさの電位を与えるだけで行うことができるため、電源発生回路が単純となり、周辺回路の面積を大幅に縮小することが可能となる。

## （実施例 2）

図 3 は本発明における第 2 の実施例による記憶素子の断面構造図を示す。

## 【0023】

p 型のウェル（A 1 1）に設けられた n 型のソース領域（A 1 2）およびドレイン領域（A 1 3）があり、チャネル（A 1 4）、（A 1 5）上に厚さ 5 nm の絶縁膜（A 1 6）を介して、電荷蓄積領域であるシリコンの平均径 10 nm の微少結晶粒（A 1 7）が複数ならべられている。チャネルの一部（A 1 5）とシリコン微少結晶粒（A 1 7）の電位を制御する n 型多結晶シリコンの第 1 のゲート（A 1 8）が設けられており、シリコン微少結晶粒（A 1 7）と第 1 のゲート電極（A 1 8）の間は下から順に厚さ 3 nm の  $\text{SiO}_2$ 、厚さ 6 nm の  $\text{Si}_3\text{N}_4$ 、

厚さ 3 nm の  $\text{SiO}_2$  のいわゆる ONO 構造の絶縁膜 (A 1 9) からなる。また、チャネル領域の一部 (A 1 4) の電位を制御する第 2 のゲート (A 2 0) がある。

#### 【 0 0 2 4 】

図 3 に対応した回路図における表現を図 4 に示す。第 1 のゲート (A 1 8)、第 2 のゲート (A 2 0)、ソース領域 (A 1 2)、ドレイン (A 1 3)、シリコン微少結晶粒からなる電荷記憶領域 (A 1 7) に各々対応する番号をつけている。

#### 【 0 0 2 5 】

次に本実施例の動作を説明する。本実施例では第 2 のゲート電極 (A 2 0) を補助電極として用いることで電荷蓄積領域 (A 1 7) へのホットエレクトロン注入を高効率で行う。

#### 【 0 0 2 6 】

まず、書き込み動作を説明する。書き込みたい情報に応じてドレイン領域 (A 1 3) に印加する電圧を設定する。ここでは電荷を多く注入する条件を情報 “1” に対応させ、注入電荷のより少ない状態を情報 “0” に対応させることとする。情報 “1” 書き込みではホットエレクトロン発生に十分な電界が出来るようにドレイン電圧を設定する (例えば 5 V とする)。ソース領域 (A 1 2) には 0 V を印加する。第 2 のゲート電極 (A 2 0) を所定の電圧 (例えば 2 V) に設定する。第 1 のゲート電極 (A 1 8) に第 2 のゲート電極 (A 2 0) よりも高い高電圧 (例えば 7 V) の書き込みパルスを印加する。この時第 2 のゲート電極 (A 2 0) 下の基板表面 (A 1 4) の抵抗は、第 1 のゲート電極 (A 1 8) 下の基板表面 (A 1 5) の抵抗よりも大きい。従ってソース、ドレイン間電圧はほとんどが第 2 のゲート電極 (A 2 0) 下 (A 1 4) に印加される。また、第 2 のゲート電極 (A 2 0) 下 (A 1 4) においてもドレイン (A 1 3) に近い側の方が電位が高く、実効的なゲート電圧が低くなるために高抵抗となる。このためホットエレクトロンは第 2 のゲート電極 (A 2 0) 下 (A 1 4) のドレイン (A 1 3) に近い端でより多く発生する。発生したホットエレクトロンは第 1 のゲート電極 (A 1 8) による電界で電荷蓄積領域 (A 1 7) 方向に加速され、注入が起きる。注

入場所は第1のゲート電極(A18)下で第2のゲート電極(A20)に近い場所(A21)に集中する。このときソース、ドレイン間を流れる電流は、第2のゲート電極(A20)下(A14)の抵抗が高いために補助ゲートを持たない構造と比べて小さいため、高効率の注入が可能となって電流が少なくても良い。したがって、周辺回路、特に電源発生回路の構造を簡単にすることが可能である。

## 【0027】

情報“0”の書き込みは、第1のゲート電極(A18)に正の電圧を印加して、高電界を発生させ、電荷蓄積領域(A17)に蓄積されていた電子を第1のゲート電極(A18)に引き抜くことで行う。例えば、第1のゲート電極(A18)を12V、ソース(A12)、ドレイン(A13)、第2のゲート電極(A20)を0Vとする。

## 【0028】

情報“0”の書き込みは、第2のゲート電極(A20)に正の電圧を印加して、高電界を発生させ、電荷蓄積領域(A17)に蓄積されていた電子を第2のゲート電極(A20)に引き抜くことでも可能である。例えば、第2のゲート電極(A20)を12V、ソース(A12)、ドレイン(A13)、第1のゲート電極(A18)を0Vとする。なお、本実施例では、情報“0”の書き込みと情報の消去とは実質的に同じである。

## 【0029】

次に読出し動作を説明する。例えばドレイン電圧を2V、ソース電圧を0V、第2のゲート電極(A20)の電圧を3.5Vに設定し、第1のゲート電極(A18)に2Vの読出しパルスを加える。電荷蓄積領域(A17)に注入された電荷量の大小に従ってしきい電圧が異なるため、“0”記憶のドレイン電流が“1”記憶のドレイン電流よりも大きいことから読出しが行える。読出しは、ドレイン領域に0V、ソース領域に2V、第1のゲート電極に2V、第2のゲート電極に3.5Vと、ソース領域とドレイン領域の電圧関係をいれかえても良い。

## 【0030】

上述した情報“1”書き込み、情報“0”書き込み、および読み出し時の電圧の例を表2にまとめる。これらの動作では各端子に与えられる電位はすべて、0



Vか極性が等しいものとなっている。

【0031】

【表2】

表2

	ソース 電圧	ドレイン 電圧	第1ゲート 電圧	第2ゲート 電圧	備考
“1” 書き込み	0V	5V	7V	2V	----
“0” 書き込み (情報消去)	0V	0V	12V	0V	A18への 引き抜き
	0V	0V	0V	12V	A20への 引き抜き
読み出し	0V	2V	2V	3.5V	----

通常のフラッシュメモリでは、情報“0”の書き込みは、ゲート電極に負の電位を与えることで、絶縁膜中をトンネルさせて電子を基板に引き抜くことが行われる。電子を基板に引き抜くために、ゲートに与える電位が大きいことが必要となり、また情報“1”の書き込みに使われる電位と極性が反対なため、電源発生回路が複雑になり、チップサイズの増大ひいてはコストの増大を招く。

【0032】

本実施例では、情報“1”、情報“0”いずれの書き込みおよび読み出しでも、同じ極性の同程度の大きさの電位を与えるだけで行うことができるため、電源発生回路が単純となり、周辺回路の面積を大幅に縮小することが可能となる。

(実施例3)

本発明発による第3の実施例による記憶装置を説明する。素子の基本構成は実施例1と同様であり、素子単体の動作も同様であるが、素子の接続関係に応じて動作方法に特徴がある。図5に本実施例による記憶装置の等価回路図を示す。説明の便宜上、中央に配列されたメモリセルにのみA70、A80およびA81の参照符号を付すとともに、一点鎖線で囲って示した。また、メモリセルA70については、図2に示した参照符号を各構成素子対応でソースA4、ドレインA5、ゲートA9および電荷蓄積領域A8を付した。A71およびA76はデータ線

であり、ゲートA 9に接続される。A 7 3およびA 7 4はソース線であり、ソースA 4に接続される。A 7 2およびA 7 5はワード線であり、ゲートA 9に接続される。実際にはもっと大規模のメモリセルアレイを構成するが、ここでは説明のため3×3の小規模メモリセルアレイを示す。

#### 【0 0 3 3】

次に本実施例の駆動方法を説明する。本実施例では、蓄積電荷量の多い状態を情報“1”、情報“1”より蓄積電荷量の少ない状態を情報“0”とする。まず情報の書き込み動作を説明する。セル(A 7 0)への書き込み動作においては、ソース線(A 7 3)を0 Vとし、データ線(A 7 1)の電圧を書き込みたい情報に応じて、例えば情報“0”なら0 V、情報“1”なら5 Vに設定し、ワード線(A 7 2)に電圧パルス(例えば1 2 V)を与える。データ線電圧が0 Vに設定された場合ホットエレクトロンがほとんど発生しないため、電荷蓄積領域への電荷注入は少なく、データ線電圧が5 Vの設定の場合注入電荷量が多い。この時同じワード線(A 7 2)で駆動される他のセルについては、接続されているデータ線(A 7 6)電圧を書き込みたいデータに応じて、例えば情報“0”なら0 V、情報“1”なら5 Vに設定して同時に情報を書き込むことも可能である。ここで“0”書き込みでは電荷が注入されず、従って書き込みを行わないのと同等であるため、同一ワード線で駆動されるセルの一部のみ情報書き込みを行うことも可能である。また他のワード線については選択メモリセルに接続されているワード線の電圧より低い電圧(例えば0 V)とすれば書き込みは行われない。

#### 【0 0 3 4】

情報の消去動作は同一ワード線(A 7 2)で駆動されるセル(A 8 0)，(A 7 0)，(A 8 1)について一括で行う。具体的には、ワード線(A 7 2)に正の電圧パルス(例えば1 6 V)を印加し電荷蓄積領域に蓄積された電荷をワード線に引き抜くことで情報の消去を行う。このとき、ソース線(A 7 3)，(A 7 4)、データ線(A 7 1)，(A 7 6)は0 Vとしておく。あるいは、ソース線、データ線どちらかに0 Vを印加し、他を開放としておいても動作には問題がない。信頼性の観点から通常のフラッシュメモリでは実施が避けられる、ワード線に対する正電圧印加で情報消去が実現できる理由は、実施例1と同じである。

## 【 0 0 3 5 】

また、“1”が書き込まれているメモリセルについては、ワード線（A 7 2）に正の電圧（例えば16 V）を印加して消去を行うことで、書き込まれた余剰電荷をワード線（A 7 2）に引き抜くことが可能であるのは上に述べたとおりである。消去後に、さらに、ワード線に正の電圧を印加しつづけると、今度は、基板側から電荷蓄積ノードへの電子の注入が始まり、基板側からの電荷蓄積領域への電荷の注入速度と、電荷蓄積領域からワード線への電荷の引き抜き速度が平衡に達し、電荷蓄積領域に蓄えられる電荷量は時間と共に変化しなくなる。“0”が書き込まれているメモリセルでも同様に基板からの電荷の注入とワード線への電荷の引き抜きが平衡に達し、電荷蓄積領域に蓄えられる電荷数が時間と共に一定になる。すなわち、“1”が書き込まれているメモリセルに対しても、“0”が書き込まれているメモリセルに対しても、過剰消去を行えば、メモリセルに蓄積される電荷数が一定数に収束する。これは、過剰消去を行えば、各メモリセルの特性が自己収束することを意味する。したがって、通常のフラッシュメモリに起こりうる、電荷を多く引き抜きすぎることによってメモリセルがノーマリーONになってしまう、という不良が起こることがない。通常のフラッシュメモリでは、信頼性を確保できないため、本実施例に示すように、基板からワード線までCVDで形成されたSiO<sub>2</sub>の層を経由する形で電荷を流して、消去特性を自己収束的にそろえることができない。本実施例のように、電荷を分散した複数の電荷蓄積領域に蓄えて、信頼性を確保して、初めて基板からワード線まで電荷を流す、という動作が可能になる。

## 【 0 0 3 6 】

次に情報読出しをメモリセル（A 7 0）を例にとって説明する。情報を読み出すにはソース線（A 7 3）を0 Vに設定し、データ線（A 7 1）をソース線（A 7 3）電圧より高い電圧（例えば3 V）にプリチャージする。この後、ワード線（A 7 2）に正の電圧（例えば2 V）の読出しパルスを印加する。この時メモリセル（A 7 0）に情報“1”が書き込まれており、しきい電圧が高い場合は、電流があまり流れず、データ線（A 7 1）電位はプリチャージ電圧からあまり変動しないのに対し、情報“0”が書き込まれていて、しきい電圧が低い場合、大き

な電流が流れ、データ線（A 7 1）電位はプリチャージ電圧から大きく下がって行く。このデータ線の一端をセンスアンプに接続し、この電圧変動を増幅して情報を読み出す。

#### （実施例 4）

本発明発による第 4 の実施例による記憶装置を説明する。素子の基本構成は実施例 1 と同様であり、素子単体の動作も同様であるが、素子の接続関係に特徴がある。図 6 に本実施例による記憶装置の等価回路図を示す。説明の便宜上、中央に配列されたメモリセルにのみ A 1 1 0 の参照符号を付すとともに、一点鎖線で囲って示した。また、メモリセル A 1 1 0 については、図 2 に示した参照符号を各構成素子対応でソース A 4、ドレイン A 5、ゲート A 9 および電荷蓄積領域 A 8 を付した。実際にはもっと大規模のメモリセルアレイを構成するが、ここでは説明のため 3 × 3 の小規模メモリセルアレイを示す。

#### 【 0 0 3 7 】

本実施例では、複数のメモリセルのソース領域、ドレイン領域を共に拡散層で接続しており、ローカルソース線（A 1 0 1）およびローカルデータ線（A 1 0 2），（A 1 0 8）を形成する。ローカルソース線（A 1 0 1）は、選択トランジスタ（A 1 0 6）を通して、ソース線（A 1 0 4）に接続されている。ローカルデータ線（A 1 0 2），（A 1 0 8）は、選択トランジスタ（A 1 0 5）を通して、データ線（A 1 0 7）に接続されている。実施例 3 と比べて、選択トランジスタ（A 1 0 5），（A 1 0 6）が必要となるが、同一ローカルソース線（A 1 0 1）、同一ローカルデータ線（A 1 0 2），（A 1 0 8）で駆動される複数のセルに対して共通に設ければよいため、セル面積の増加は、実質的に無視できる。逆に、拡散層で各メモリセルを接続し、データ線コンタクトの数を低減できるため、メモリセル面積を縮小することができ、メモリ容量が大きい場合、コスト低減に大きな効果がある。

#### 【 0 0 3 8 】

次に本実施例の駆動方法を説明する。まず書込み動作を説明する。セル（A 1 1 0）への書き込み動作においては、選択トランジスタ（A 1 0 5），（A 1 0 6）のゲート線（A 1 2 1），（A 1 2 2）に駆動電圧を与えて、選択トランジ

スタ (A105), (A106) をオンさせ、ソース線 (A104) を 0V とし、データ線 (A107) の電圧を書き込みたい情報に応じて、例えば情報 “0” なら 0V、情報 “1” なら 5V に設定し、ワード線 (A109) に高電圧パルス (例えば 12V) を与える。データ線 (A107) 電圧が 0V に設定された場合ホットエレクトロンがほとんど発生しないため、電荷蓄積領域への電荷注入は少なく、データ線電圧 (A107) が 5V の設定の場合注入電荷量が多い。この時同じワード線 (A109) で駆動される他のセルについても、接続されているデータ線 (A107) の電圧を書き込みたいデータに応じて設定すれば同時に情報が書き込まれる。ここで “0” 書き込みでは電荷が注入されず、従って書き込みを行わないのと同様であるため、同一ワード線で駆動されるセルの一部のみ情報書き込みを行うことも可能である。また他のワード線については選択メモリセルに接続されているワード線の電圧より低い電圧 (例えば 0V) とすれば書き込みは行われぬ。また、メモリセル (A110) に情報 “1” を書き込む場合、データ線 (A107) を 0V とし、ソース線 (A104) に正電圧 (例えば 5V) を与えたあとに、ワード線 (A109) に正の電圧パルス (例えば 12V) を印加してもかまわない。

## 【0039】

本実施例の場合も、複数の分散した電荷蓄積領域に電荷を蓄積し、高い電荷保持特性をもつため、実施例 3 と同様に、蓄積された電荷をワード線に引き抜くこと、基板から電荷蓄積領域を介してワード線まで電荷を流すことによる、消去特性の自己収束性が実現される。

## 【0040】

次に情報読出し動作を、メモリセル (A110) からの情報の読み出しを例に取り説明する。ソース線 (A104) を 0V に設定し、選択トランジスタ (A106) のゲート線 (A122) に駆動電圧を与えて、選択トランジスタ (A106) をオンさせる。一方、選択トランジスタ (A105) のゲート線 (A121) に駆動電圧を与えて、選択トランジスタ (A105) をオンさせ、データ線 (A107)、ローカルデータ線 (A108) を正の電圧 (例えば 3V) にプリチャージした後にワード線 (A109) に正の電圧 (例えば 2V) の読出しパルス

を印加する。この時、情報を読み出すメモリセル（A110）に情報“1”が書き込まれて電荷が蓄積されており、しきい電圧が高い場合は、メモリセル（A110）には電流があまり流れず、データ線（A107）電位はプリチャージ電圧からあまり変動しないのに対し、メモリセル（A110）に情報“0”が書き込まれていて、電荷が蓄積されていない場合は、しきい電圧が低く、メモリセル（A110）を大きな電流が流れ、データ線（A107）電位はプリチャージ電圧から大きく下がって行く。データ線（A107）の一端をセンスアンプに接続し、この電圧変動を増幅して読み出す。

#### （実施例5）

本発明発による第5の実施例による記憶装置を説明する。素子の基本構成は実施例2と同様であり、素子単体の動作も同様であるが、素子の接続関係に応じて断面構造や作製方法に特徴がある。

#### 【0041】

本実施例における記憶装置のレイアウトを図7に示す。実際にはもっと大規模のメモリセルアレイを構成するが、ここでは説明のため3×3の小規模メモリセルアレイを示す。P型シリコン基板に設けられた素子分離領域（A30）がある。この素子分離領域（A30）に垂直に、図3で説明した第2ゲート（A20）に対応する、ポリシリコンからなる第2ワード線（A31）があり、この第2ワード線に平行に、図3で説明した第1ゲート（A18）に対応する、ポリシリコンからなる第1ワード線（A32）とタングステンからなるソース線（A33）がある。図に示すように、第1ワード線（A32）、第2ワード線（A31）、ソース線（A33）、第2ワード線（A31）および第1ワード線（A32）を組とした配列が繰り返された構成である。隣接する配列の組の端部の第1ワード線（A32）は互いに隣接している。隣接している第1ワード線の間で、素子分離領域ではないところに、データ線コンタクト（A34）がある。このデータ線コンタクト（A34）上を通過し、素子分離領域（A30）と平行にタングステンからなるデータ線（A35）がある。

#### 【0042】

図7中のA-A'断面を図8に示す。P型シリコン基板に設けられたn型のソ

ース領域 (A 3 6) とドレイン領域 (A 3 7) があり、このソース領域 (A 3 6) とドレイン領域 (A 3 7) を接続するチャネル (A 3 8) 上に厚さ 7 nm の絶縁膜 (A 3 9) がある。この絶縁膜 (A 3 9) 上に多結晶シリコンからなる第 2 ワード線 (A 3 1) が設けられている。また、絶縁膜 (A 3 9) 上には、電荷蓄積領域となる平均の直径が 10 nm のシリコン微小結晶粒 (A 4 1) が複数並べられている。第 2 ワード線 (A 3 1) 上には、電荷蓄積領域およびその下のチャネルの電位を制御するための n 型ポリシリコンの第 1 ワード線 (A 3 2) が設けられている。この第 1 ワード線 (A 3 2) と電荷蓄積領域であるシリコン微小結晶粒 (A 4 1) の間には、下から順に厚さ 3 nm の  $\text{SiO}_2$ 、厚さ 6 nm の  $\text{Si}_3\text{N}_4$ 、厚さ 4 nm の  $\text{SiO}_2$  のいわゆる ONO 構造の絶縁膜 (A 4 3) がある。また、ソース領域 (A 3 6) の上には、タンゲステンから形成されるソース線 (A 3 3) が形成されている。ドレイン領域 (A 3 7) の上には、タンゲステンからなるプラグ (データ線コンタクト (A 3 4)) が形成され、データ線 (A 3 5) に接続されている。

#### 【 0 0 4 3 】

本実施例の製造工程について説明する。素子分離領域 (A 3 0)、3 重ウェル構造形成後、P ウェル上にしきい電圧調整のための B (ボロン) イオン打ち込みを行う。基板表面を酸化してゲート酸化膜 (A 4 6) を形成した後、第 2 ワード線 (A 3 1) 形成のため、多結晶シリコン膜  $\text{SiO}_2$  膜を堆積する。レジストをマスクに順次、 $\text{SiO}_2$  膜、多結晶シリコン膜をエッチングする。この工程で第 2 ワード線 (A 3 1) が形成される。この第 2 ワード線 (A 3 1) をマスクに不純物打ち込みを行い、第 1 ワード線 (A 3 2) 下の不純物濃度を調整する。洗浄後、基板表面を酸化し、厚さ 6 nm のトンネル酸化膜 (A 3 9) を形成した後、CVD によってシリコン微小結晶 (A 4 1) を形成する。試作においては、平均径 8 nm、 $3 \times 10^{11}$  個  $\text{cm}^{-2}$  の密度で作成した。次に、下から順に、厚さ 3 nm の  $\text{SiO}_2$  膜、厚さ 5 nm の  $\text{Si}_3\text{N}_4$  膜、厚さ 3 nm の  $\text{SiO}_2$  膜からなる ONO 絶縁膜を堆積する。その後、第 1 ワード線 (A 3 2) 形成のため多結晶シリコン膜、 $\text{SiO}_2$  膜を堆積する。レジストマスクで、順次、 $\text{SiO}_2$  膜、多結晶シリコン膜をエッチングしたのち、 $\text{Si}_3\text{N}_4$  膜、 $\text{SiO}_2$  膜を堆積し、平坦化を行う

。平坦化の後、再度  $\text{SiO}_2$  膜を堆積する。ここで、レジストにソース線 (A 3 3)、データ線コンタクト (A 3 4) パターンを転写し、このレジストをマスクに、 $\text{SiO}_2$  膜をエッチングする。データ線コンタクト (A 3 4)、ソース線 (A 3 3) のレジストパターンに多少のずれがあっても、下地が  $\text{Si}_3\text{N}_4$  なので、自己整合的に正しくドレイン領域、ソース領域に開口する。さらに、下地の  $\text{Si}_3\text{N}_4$  をエッチングすることで、基板のドレイン領域 (A 3 7)、ソース領域 (A 3 6) が開口する。ここで、コンタクトの信頼性を確保するため、P (りん) イオンを注入し、熱処理を行い、活性化する。このあと、 $\text{SiO}_2$  膜を堆積し、エッチバックをすることで、データ線コンタクト間のショートを防ぐ。このあとタングステンを堆積し、平坦化を行う。平坦化の後、 $\text{SiO}_2$  膜、タングステン膜、 $\text{SiO}_2$  膜を堆積する。データ線 (A 3 5) のパターンをレジストに転写し、 $\text{SiO}_2$  膜、タングステン膜、 $\text{SiO}_2$  膜をエッチングして、データ線 (A 3 5) を形成する。この後に、層間膜として  $\text{SiO}_2$  膜を堆積する。以下同様の工程を繰り返して、配線工程を行う。この工程では第 2 ワード線 (A 3 1) の上面および側面にシリコン微小結晶 (A 4 1) が残るが、メモリセルの機能には支障が無いので、これを除去する必要は無い。

## 【 0 0 4 4 】

通常のフラッシュメモリでは、浮遊ゲートの加工が終了したのち、浮遊ゲートを構成するポリシリコンの表面を弱く酸化する。この酸化プロセスによって浮遊ゲートの絶縁性が向上するため、電荷保持特性を向上することが可能である。しかしその一方で、周辺回路のゲート酸化膜、あるいは、高速ロジック回路が混載されていれば、このロジック回路のゲート酸化膜の膜厚を増大させてしまう。これにより、トランジスタの電流が減少するため、動作遅延を招く。しかし、本実施例では、電荷蓄積ノードが複数の微小シリコン結晶 (A 4 1) から形成されるため、電荷保持特性が高い。したがって、この浮遊ゲートの酸化プロセスに対応するプロセスを採用する必要がなく、高速ロジック回路との混載に適している。

## 【 0 0 4 5 】

図 9 に本実施例における記憶装置のメモリセルの接続関係を回路図で示す。実際にはもっと大規模のメモリセルアレイを構成するが、ここでは説明のため 3 ×



3の小規模メモリセルアレイを示す。また、説明の便宜上、中央列の3つのメモリセルA50、A60およびA61は一点鎖線で囲って示す。また、メモリセルA50の各構成要素には図4に示した対応する参照符号を付した。

#### 【0046】

図9を用いて、本実施例の動作を説明する。まず書き込み動作を説明する。

#### 【0047】

情報の書き込みを、メモリセル(A50)を例にとって説明する。ここでは、このメモリセル(A50)を選択セル、それ以外のメモリセルを非選択セルとよぶ。選択セル(A50)に対する情報の書き込みは、データ線(A51)に正の電圧パルス(例えば、6V)、第1ワード線(A52)に正の電圧パルス(例えば、8V)、そして、第2ワード線(A53)に正の電圧パルス(例えば、2V)を印加する。このとき、ソース線(A54)は0Vとしておく。このような電圧関係を用いることで、通常のドレイン端で発生するホットエレクトロンを利用した書き込みとは違い、ソース側でホットエレクトロンを発生させることが可能となる。非選択セルに接続されているソース線(A55)、非選択セルに接続されている第1ワード線(A56)、非選択セルに接続されているデータ線(A57)には、0Vを印加しておく。非選択セルに接続されている第2ワード線(A58)には、選択セルに接続されている第2ワード線(A53)よりも小さな正の電圧(例えば、0.5V)を印加しておくことで、非選択セルに対する情報の書き込みを抑止することができる。

#### 【0048】

情報の消去は、一本の第1ワード線に接続されたメモリセルに対して、一括で行う。以下第1ワード線(A52)に接続されたメモリセル(A50)、(A60)および(A61)を例にとり説明する。ここでは、第1ワード線(A52)に接続されたメモリセルを選択セル、それ以外のメモリセルを非選択セルとよぶ。第1ワード線(A52)に正の電圧パルス(例えば、12V)、そして、第2ワード線(A53)に正の電圧パルス(例えば、5V)を印加する。このとき、ソース線(A54)は0Vとしておく。これにより、電荷蓄積ノードに蓄えられた電荷は、第1ワード線(A52)に引き抜かれる。第2ワード線と第1ワード

線の電圧関係を逆転させ、電荷蓄積のノードに蓄積された電荷を第2ワード線に引き抜くことも可能である。あるいは、電圧関係を調整し、電荷蓄積ノードに蓄積された電荷を、第1ワード線、第2ワード線の両方に引き抜くことももちろん可能である。非選択セルに接続されているソース線(A55)、非選択に接続されている第1ワード線(A56)、非選択メモリセルに接続されているデータ線(A57)、非選択メモリセルに接続されている第2ワード線(A58)には、0Vを印加しておく。

## 【0049】

ここで、第1ワード線、第2ワード線に蓄積電荷を引き抜いたが、もちろん、通常のフラッシュメモリと同様に、第1ワード線、第2ワード線に0Vまたは負の電圧を印加して、基板に電荷を引き抜くことで情報の消去を行ってもよい。

## 【0050】

情報の読み出しを、メモリセル(A50)を例にとって説明する。ここでは、このメモリセル(A50)を選択セル、それ以外のメモリセルを非選択セルとよぶ。選択メモリセル(A50)に対する情報の読み出しは、選択メモリセル(A50)に接続されているデータ線(A51)に正の電圧(例えば2Vとする)にプリチャージする。このとき選択メモリセル(A50)に接続されているソース線(A54)は0Vとしておく。選択メモリセル(A50)に接続されている第1ワード線(A52)に正の電圧パルス(例えば2V)、選択メモリセル(A50)に接続されている第2ワード線(A53)に正の電圧パルス(例えば2V)を印加し、選択メモリセル(A50)に接続されるデータ線(A51)の電圧変化をセンスアンプで増幅する。選択メモリセル(A50)の電荷蓄積領域に注入された電荷量の大小に従って、選択メモリセル(A50)のしきい電圧は異なる。したがって、情報“0”が書き込まれている場合は、メモリセルのしきい電圧が低くなっており、選択メモリセルに電流がながれるため、データ線(A51)電圧が時間と共に低下する。情報“1”が書き込まれている場合は、メモリセルのしきい電圧が高くなっているため、選択メモリセルを流れる電流がすくないため、データ線(A51)電圧は時間がたっても、ほとんど変化しない。この差を利用して読み出しが行える。

## 【 0 0 5 1 】

本実施例では、情報の書き込み、消去、読み出しすべてに、0 Vあるいは、極性のそろった電圧を利用する。さらに、第2ゲートを用いて、ソースサイド注入を用いて高効率に情報を書き込むため、通常のホットエレクトロン注入書き込みに比べて、電源回路に対する負担が少ない。したがって、周辺回路、特に電源回路が簡単なものとなる。これは、組み込み用途向けなど、比較的メモリ容量が小さく、メモリセル面積に比べて周辺回路の面積が無視できない場合には、素子面積低減に大きな効果があり、大幅な低コスト化が可能となる。

## (実施例6)

本発明の第6の実施例による記憶装置の等価回路を図10に示す。素子の基本構成は実施例2と同様であり、素子単体の動作も同様であるが、素子の接続関係に応じて断面構造に違いがあり、また駆動方法に特徴がある。また、本実施例による記憶装置の断面構造を図11に示す。

## 【 0 0 5 2 】

図10に示す等価回路は、実施例1の素子による記憶装置の等価回路図を示す図6に対応するものである。説明の便宜上、中央段に配列されたメモリセルにのみA160、A161の参照符号を付すとともに、一点鎖線で囲って示した。また、メモリセルA160については、図4に示した参照符号を各構成素子対応でソースA12、ドレインA13、第1ゲートA18、第2ゲートA20および微小結晶粒A17を付した。実際にはもっと大規模のメモリセルアレイを構成するが、ここでは説明のため3×3の小規模メモリセルアレイを示す。

## 【 0 0 5 3 】

本実施例では、複数のメモリセルのソース領域、ドレイン領域を共に拡散層で接続しており、ローカルソース線(A168)およびローカルデータ線(A165)を形成する。ローカルソース線(A168)は、選択トランジスタ(A162)を通して、ソース線(A163)に接続されている。ローカルデータ線(A165)は、選択トランジスタ(A169)を通して、データ線(A164)に接続されている。実施例4と同様、選択トランジスタ(A162)、(A169)が必要となるが、同一ローカルソース線(A168)、同一ローカルデータ線

(A 1 6 5) で駆動される複数のセルに対して共通に設ければよい。セル面積の増加は、実質的に無視できる。逆に、拡散層で各メモリセルを接続し、データ線コンタクトの数を低減できるため、メモリセル面積を縮小することができ、メモリ容量が大きい場合、コスト低減に大きな効果がある。

## 【 0 0 5 4 】

書き込み動作について、図 1 0 におけるメモリセル (A 1 6 0) に情報を書き込むことを例に説明する。まず、選択トランジスタ (A 1 6 9) , (A 1 6 2) をオンとし、ソース線 (A 1 6 3) を 0 V とする。データ線 (A 1 6 4) 、ローカルデータ線 (A 1 6 5) の電圧を書き込みたい情報に応じて、例えば情報 “0” なら 0 V、情報 “1” なら 5 V に設定する。第 2 ワード線 (A 1 6 6) に正の電圧パルス (例えば 2 V) 、第 1 ワード線 (A 1 6 7) に正電圧パルス (例えば 8 V) を与える。データ線 (A 1 6 4) 電圧が 0 V に設定された場合、ホットエレクトロンがほとんど発生しないため、電荷蓄積領域への電荷注入は少なく、データ線 (A 1 6 4) 電圧が 5 V の設定の場合、ホットエレクトロンが高効率に発生し、電荷蓄積領域に電荷が注入される。この時、同じ第 1 ワード線 (A 1 6 7) で駆動される他のセル、たとえば A 1 6 1 についても、接続されているデータ線 (A 1 7 0) 電圧を書き込むデータに応じて設定すれば同時に情報が書き込まれる。

## 【 0 0 5 5 】

情報の消去は、第 1 ワード線に接続されている複数のメモリセルに対して一括して行う。第 1 ワード線に正の電圧 (例えば 1 5 V) を印加し、第 2 ワード線に第 1 ワード線に与える電圧よりも低い、0 V あるいは、正の電圧 (例えば、0. 5 V) を印加して、電荷蓄積領域に蓄積された電荷を引き抜く。消去を第 2 ワード線に接続されている複数のメモリセルに対して一括して行ってもよい。この場合、第 2 ワード線に正の電圧 (例えば 1 5 V) を印加し、第 1 ワード線に第 2 ワード線に印加されるよりも低い、0 V あるいは、正の電圧 (例えば 0. 5 V) を印加して、第 2 ワード線に電荷を引き抜く。

## 【 0 0 5 6 】

図 1 1 において、第 1 のゲート電極 (A 1 5 0) は、そのまま、図 7 におけ

るワード線 A 3 5 と同様に、第 1 ワード線 (A 1 6 7) を形成する。同様に、第 2 のゲート電極 (A 1 5 1), (A 1 5 6) および (A 1 5 7) は第 2 ワード線 (A 1 6 6) を形成するものであり、第 1 のゲート電極 (A 1 5 0) に垂直方向に配線させる。また、1 つのメモリセルのドレイン領域は、隣接するメモリセルのソース領域を兼ねる。例えば、メモリセル (A 1 5 2) のドレイン領域 (A 1 5 3) は隣接するメモリセル (A 1 5 4) のソース領域を兼ねている。同様に、メモリセル (A 1 5 2) のソース領域 (A 1 5 5) が、左側に隣接するメモリセルのドレイン領域を兼ねる。同様に左側に隣接するメモリセルにはソース領域兼ドレイン領域が形成され、最右端のメモリセル (A 1 5 4) に対してはドレイン領域 (A 1 5 8) が形成される。最左端のメモリセルに対してはソース領域が形成される。ソース領域兼ドレイン領域 (A 1 5 3) および (A 1 5 5) および両端のドレイン領域およびソース領域は、それぞれ、拡散層配線で接続され、第 2 ワード線 (A 1 5 1) に並行な方向に走る。通常このようにソース、ドレイン領域が複数のセルに共有され、複数のメモリセルのソース、ドレインが並列接続される構成では、複数のメモリセルのドレイン領域と隣接素子のソース領域は素子分離領域で物理的に絶縁されている必要がある。しかし、本実施例ではメモリセル分離は、第 2 ワード線 (A 1 5 1), (A 1 5 6) および (A 1 5 7) の電位を制御することで、隣接するメモリセル同士を電氣的に分離することが達成される。物理的分離を行わず素子分離領域を必要としないため、メモリセルの面積を小さくすることが可能であり、低コスト化に大きな効果がある。

#### 【 0 0 5 7 】

本実施例の製造工程も、電荷蓄積領域となるシリコン微小結晶形成のための工程までは、実施例 5 と同様であり、第 2 ワード線 (A 1 5 1), (A 1 5 6) および (A 1 5 7) の上面および側面にシリコン微小結晶が残るが、本実施例でも、メモリセルの機能には支障が無いので、これを除去する必要は無い。

#### 【 0 0 5 8 】

本実施例の動作においては同一ワード線で駆動されるセルに対して一個おきに書き込み、読出しを行うという特徴がある。たとえばセル (A 1 5 2) に対して書き込みや読出し動作を行う場合、隣接セルの第 2 ワード線 (A 1 5 6), (A

157) を低電圧とし、第2ワード線下のシリコン表面を高抵抗とすることで同一の第1ワード線によって駆動される素子間のショートを防ぐ。

(実施例7)

本発明の第7の実施例について説明する。図12はアレイ構造の等価回路図を示す。実際にはもっと大規模のアレイを構成するが、ここでは説明のため3×3の小規模セルアレイを示す。説明の便宜上中央部のメモリセル(A202)を一点鎖線で囲って示す。図13は、図12に一点鎖線で囲って示すメモリセル(A202)と図の縦方向に隣接するメモリセル部分の二点鎖線で示す楕円の領域のワード線に垂直な方向での断面図である。図13において参照符号(A17)で示すのは図3における電荷蓄積領域であるシリコンの微少結晶粒である。これまでの実施例とは異なり、本実施例は記憶素子が直列に接続されていることに特徴がある。直列接続構造とすることで抵抗が高くなるが、セル面積が小さくなるという特徴がある。

【0059】

本実施例における情報の書き込みについて説明する。第1ワード線(A201)で駆動されるメモリセル(A202)への情報書き込みでは、選択トランジスタ(A203)をオンとして、データ線(A204)を書きこみたい情報に応じて、例えば情報“0”なら0V、情報“1”なら5Vに設定する。このとき、選択トランジスタ(A205)はオンとしておき、ソース線(A206)は0Vとする。さらに書き込みを行うメモリセル(A202)の第1ワード線(A201)及びそのセルの第2ワード線(A207)以外の第1ワード線(A208)、第2ワード線(A209)は所定の高電位に設定(例えば全て5V)として第2ワード線下、第1ワード線下のチャンネル部分を低抵抗状態とする。書き込みを行うメモリセルの第2ワード線(A207)は他の第2ワード線(A209)よりも低電位に(例えば2V)に設定し、この下の基板表面を比較的高抵抗とする。書き込みを行うメモリセル(A202)の第1ワード線(A201)電位を他の第1ワード線電位より高電位(例えば12V)とすると、データ線(A204)が高電圧(例えば5V)に設定されている場合には、第2ワード線(A207)と第1ワード線(A201)の間の基板表面でホットエレクトロンが発生し、近傍

の電荷蓄積領域（A 2 1 0）に注入される。データ線（A 2 0 4）電位が高電位に設定されている場合に対して、データ線（A 2 0 4）電位が低電圧に設定されている場合、ホットエレクトロンはほとんど発生せず、電荷はほとんど注入されない。書き込みを行うメモリセル（A 2 0 2）の第1ワード線（A 2 0 1）の電位とこれに隣接するメモリセルの第2ワード線（A 2 0 9）の電位の関係を、書き込みを行うメモリセル（A 2 0 2）の第1ワード線（A 2 0 1）の電位と第2ワード線（A 2 0 7）の電位の関係と同じにすると、第2ワード線（A 2 0 9）と第1ワード線（A 2 0 1）の間の基板表面でホットエレクトロンが発生し、近傍の電荷蓄積領域（A 2 1 1）に注入される。

## 【 0 0 6 0 】

情報の消去は、実施例 3 から 6 までと同様に、第1ワード線単位で行う。第1ワード線（A 2 0 1）に正の電圧（例えば 1 5 V）を印加し、複数の電荷蓄積領域に蓄積された電荷を第1ワード線（A 2 0 1）に引き抜く。この際、第2ワード線（A 2 0 7）は第1ワード線に印加されるよりも低い電圧（例えば 0 V）に設定しておく。あるいは、第2ワード線（A 2 0 7）に正の電圧（例えば 1 5 V）を印加し、第1ワード線（A 2 0 1）にこの第2ワード線（A 2 0 7）に印加される電圧よりも低い電圧（例えば 0 V）を印加することで、第2ワード線（A 2 0 7）に電荷を引き抜くことで、消去をおこなってもかまわない。本実施例の場合も、複数の分散した電荷蓄積領域に電荷を蓄積し、高い電荷保持特性をもつため、実施例 3、4 と同様に、蓄積された電荷を第1ワード線あるいは、第2ワード線に引き抜くこと、あるいは、基板から電荷蓄積領域を介して第1ワード線あるいは第2ワード線まで、電荷を流すことによる、消去特性の自己収束性が実現される。

## 【 0 0 6 1 】

読出し動作においては、選択トランジスタ（A 2 0 3）をオンとし、データ線（A 2 0 4）を正の電位（例えば 2 V）にプリチャージする。また、選択トランジスタ（A 2 0 5）をオンとし、ソース線（A 2 0 6）は 0 V に設定する。読み出すメモリセル（A 2 0 2）を駆動する第1ワード線（A 2 0 1）以外の第1ワード線（A 2 0 8）、第2ワード線（A 2 0 9）を所定の高電位に設定（例えば

全て5 V) し、さらに該当第1ワード線(A 2 0 1)に所定の読出し電圧(例えば3 V)を与える。この時、情報を読み出すメモリセルに電荷が蓄積されており、しきい電圧が高い場合、電流があまり流れず、データ線(A 2 0 4)電位はプリチャージ電圧からあまり変動しないのに対し、情報を読み出したいメモリセルに電荷が蓄積されていない場合は、しきい電圧が低く、大きな電流が流れ、グローバルデータ線(A 2 0 4)電位はプリチャージ電圧から大きく下がって行く。このデータ線(A 2 0 4)の一端をセンスアンプに接続し、この電圧変動を増幅して読み出す。

#### 【0 0 6 2】

##### 【発明の効果】

本発明によれば、信頼性を確保しつつ、必要とする電圧の種類が少なく、かつその電圧が低い記憶素子構造を提供することが可能である。この記憶素子をもちいることで、半導体記憶装置の周辺回路の構成を単純化し、チップ面積を縮小することができ、低コストな半導体記憶装置を実現することができる。

##### 【図面の簡単な説明】

##### 【図 1】

実施例 1 の半導体記憶素子の断面構造を示したものである。

##### 【図 2】

実施例 1 の半導体記憶素子に対応する回路頭上の表記である。

##### 【図 3】

実施例 2 の半導体記憶素子の断面図である。

##### 【図 4】

実施例 2 の半導体記憶素子の対応する回路図上の表記である。

##### 【図 5】

実施例 3 の半導体記憶装置の等価回路図である。

##### 【図 6】

実施例 4 の半導体記憶装置の等価回路図である。

##### 【図 7】

実施例 4 の半導体記憶装置のレイアウト図である。



【図 8】

実施例 5 の半導体記憶装置の断面構造図である。

【図 9】

実施例 5 の半導体記憶装置の等価回路図である。

【図 1 0】

実施例 6 の半導体記憶装置の等価回路を示したものである。

【図 1 1】

実施例 6 の半導体記憶装置の断面図である。

【図 1 2】

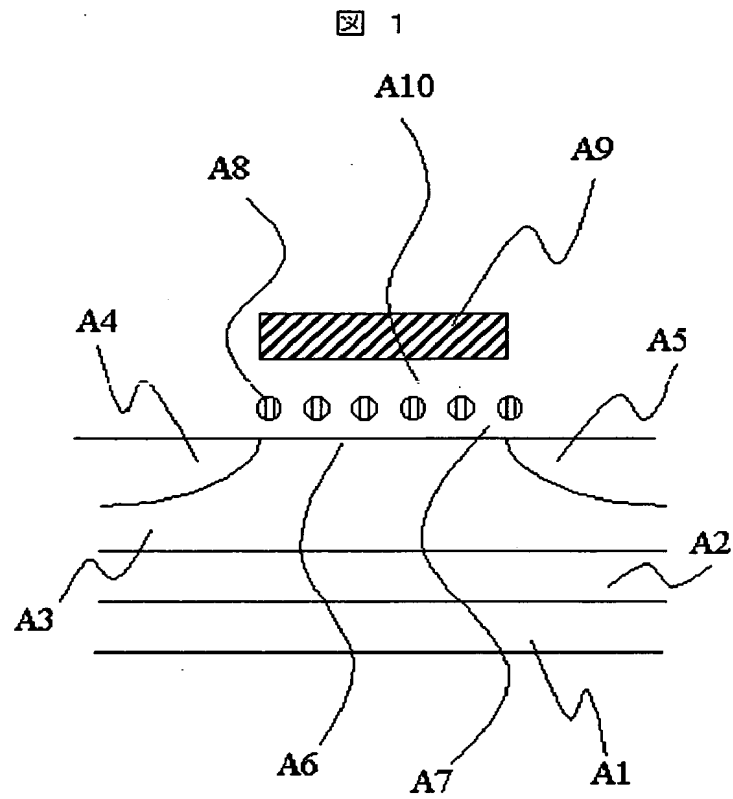
実施例 7 の半導体記憶装置の等価回路である。

【図 1 3】

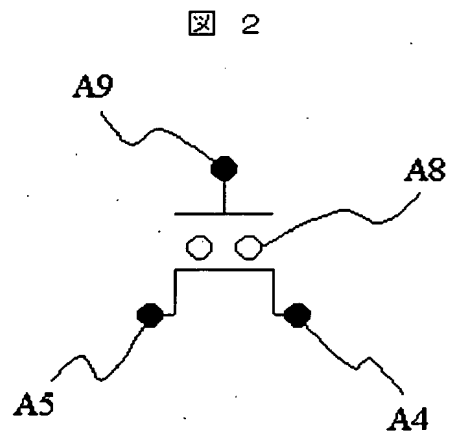
実施例 7 の半導体記憶装置の等断面図である。

【書類名】 図面

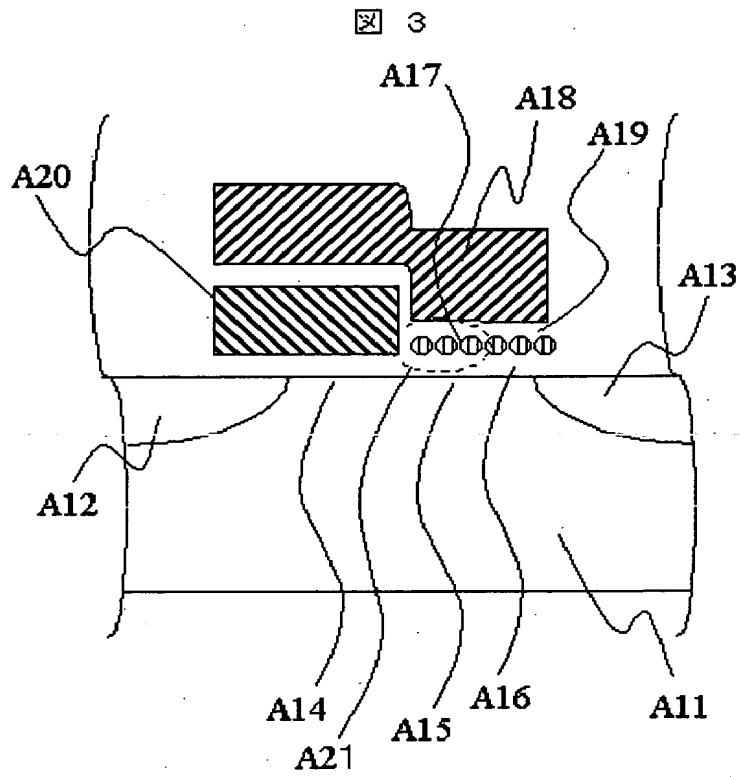
【図 1】



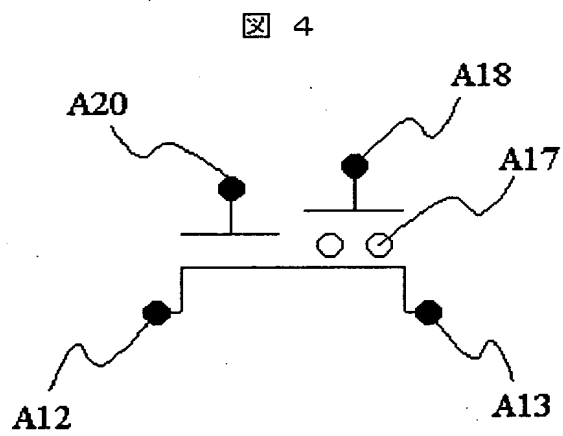
【図 2】



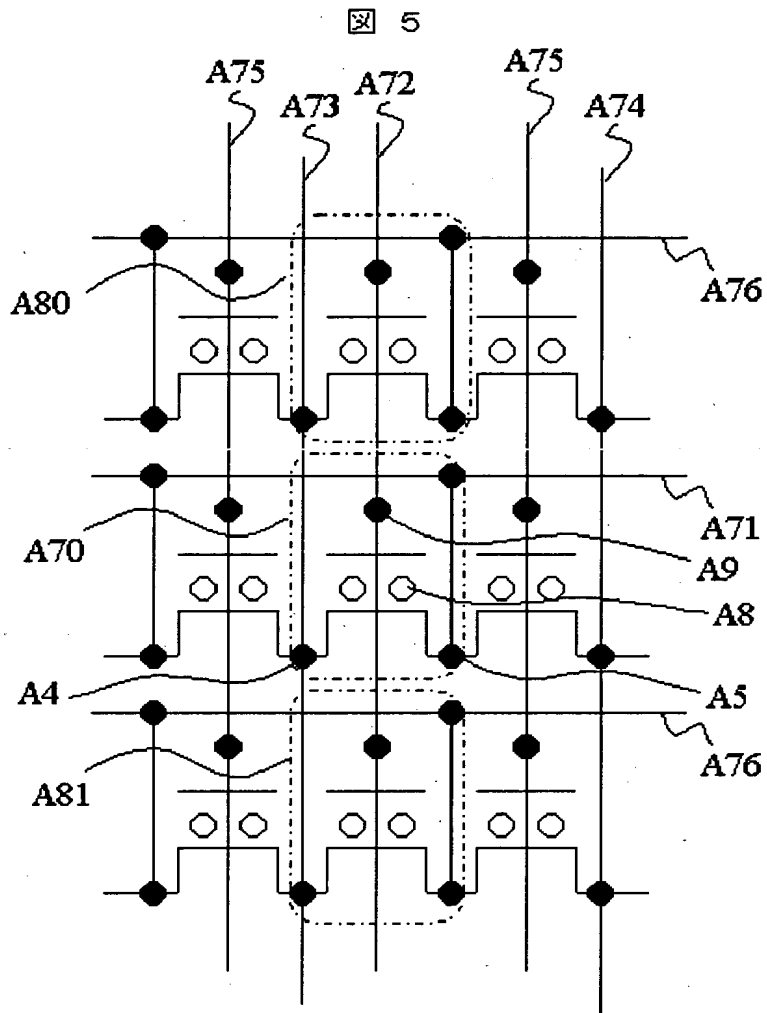
【図 3】



【図 4】

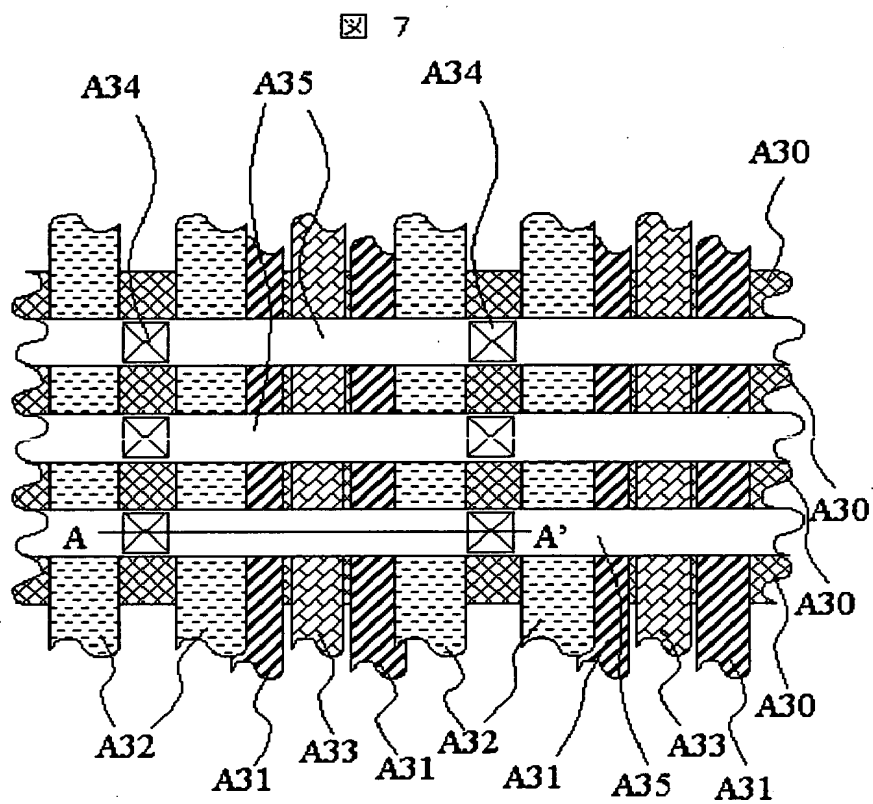


【図 5】

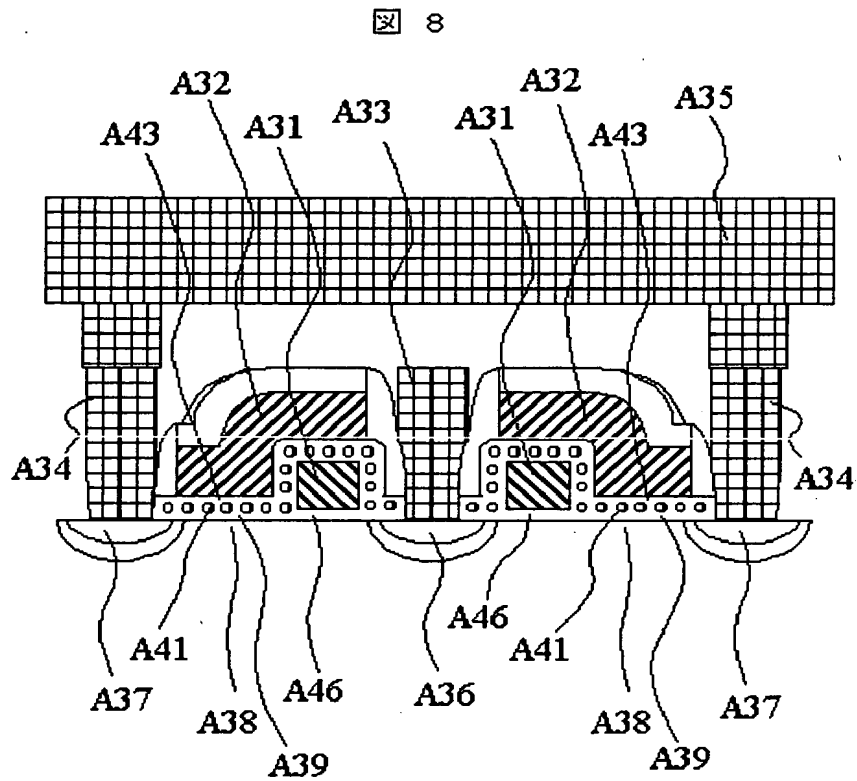




【図 7】

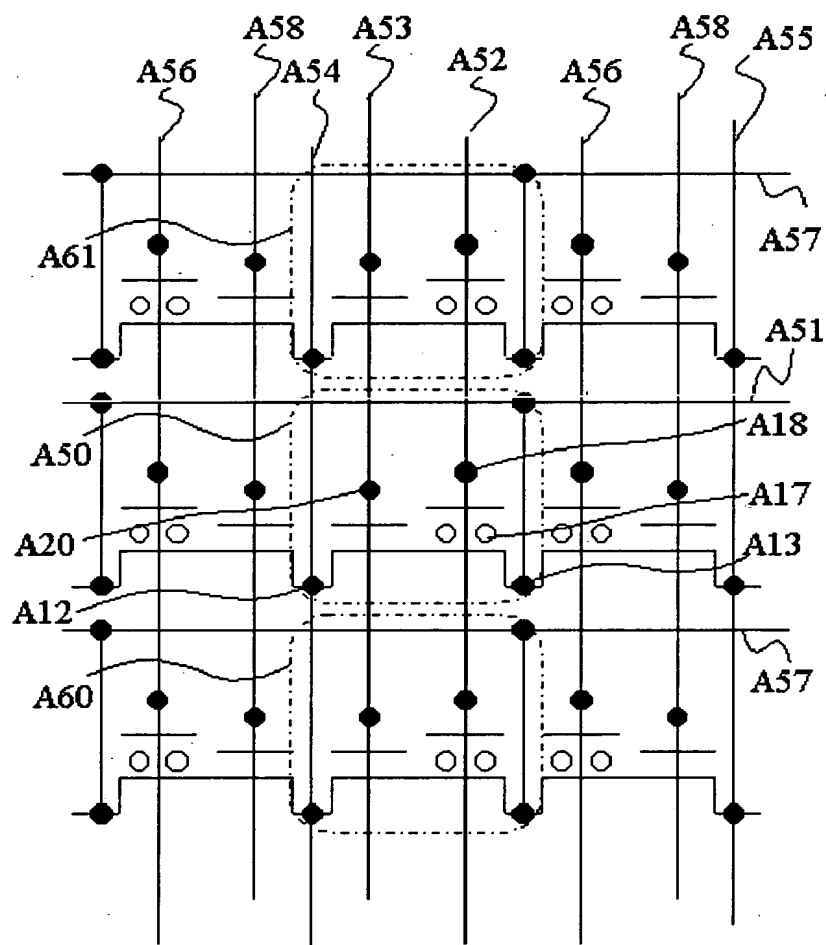


【図 8】



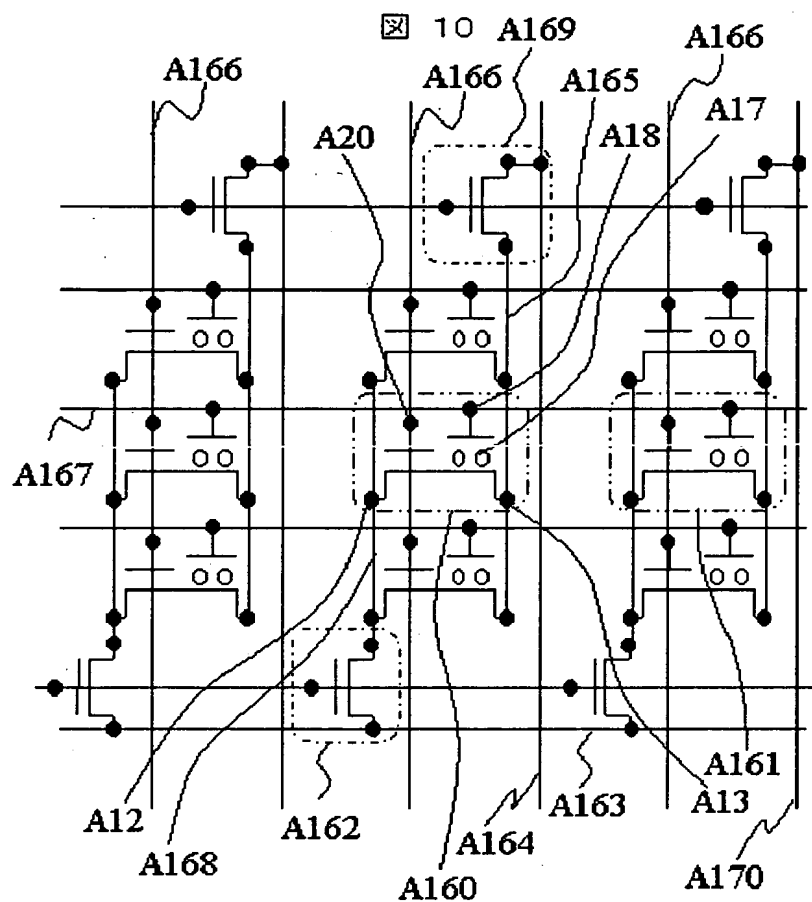
【図9】

図 9

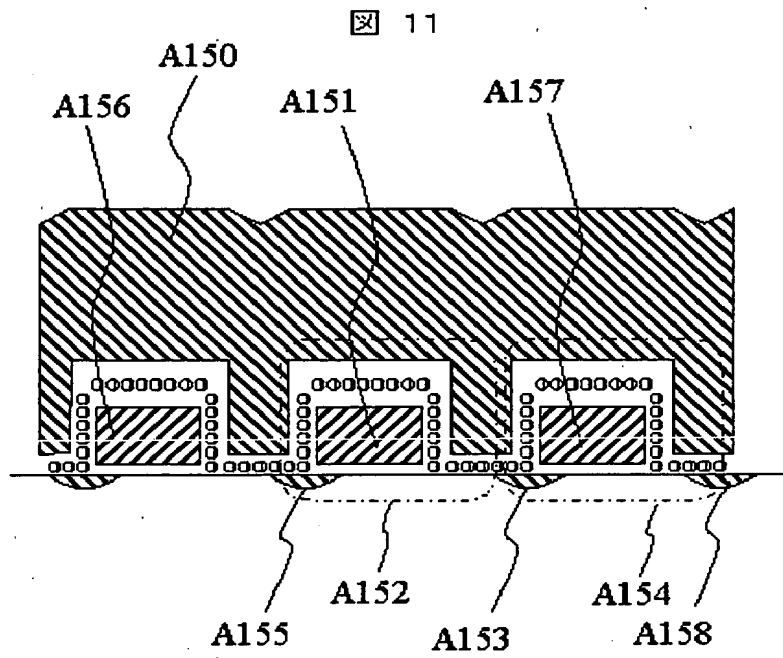




【図 10】



【図 11】



【書類名】 要約書

【要約】

【課題】 高信頼性が要求される半導体フラッシュメモリでは、シリコン基板を直接酸化した酸化膜を通して電子の出し入れを行わなければならないため、使用する電圧が正負にわたる大電圧となる。

【解決手段】 複数に分散した領域に電荷を蓄えることで、高い信頼性を実現させる。この高信頼性を背景に、信頼性の高い、シリコン基板を直接熱酸化膜して得られる酸化膜だけではなく、CVDで堆積した酸化膜などを通して電子の移動を可能とすることで、情報の書き込み時および情報の消去時に同じ極性の電位で制御する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日	1990年 8月31日
[変更理由]	新規登録
住 所	東京都千代田区神田駿河台4丁目6番地
氏 名	株式会社日立製作所



Creation date: 06-02-2004  
Indexing Officer: STRAN - SONG TRAN  
Team: OIPEBackFileIndexing  
Dossier: 10082205

Legal Date: 01-28-2003

No.	Dccode	Number of pages
1	CTRS	5

Total number of pages: 5

Remarks:

Order of re-scan issued on .....